

4 Aktive Bauelemente und deren Grundschaltungen

4.1 Halbleitertechnologien

4.1.1 Der Bipolar-Transistor

Bipolartransistoren sind Halbleiterbauelemente, die zwei eng benachbarte pn-Übergänge haben und die dabei entstehenden physikalischen Effekte ausnutzen. Abb. 68 zeigt schematisch die beiden Möglichkeiten, die *pn*p- oder *n*p*n*-Transistor genannt werden.

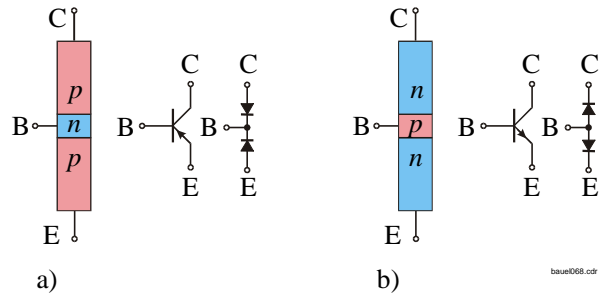


Abbildung 68: Transistor: Zonenfolge, Schaltbild und Dioden-Äquivalent, a) pnp-Transistor, b) npn-Transistor

Die drei Anschlüsse (Elektroden) werden *Emitter* E, *Basis* B und *Kollektor* C genannt. Der Emitter-Kollektor-Strom i_{EC} wird vom Basis-Strom i_B gesteuert oder anders gesagt, der Basisstrom steuert die Leitfähigkeit der Basis und damit den Emitter-Kollektor-Strom. Dazu muss die Basis sehr dünn ausgelegt sein. Das *Diodenersatzschaltbild* erklärt die Sperr- und Durchlassspannungen an den Elektroden.

Wir betrachten nun einen pnp-Transistor etwas genauer. Dazu beschalten wir den Transistor mit zwei Spannungsquellen so, wie er normalerweise betrieben wird (Abb. 69), d.h. die Emitter-Basis-Diode in Durchlassrichtung und die Kollektor-Basis-Diode in Sperrrichtung.

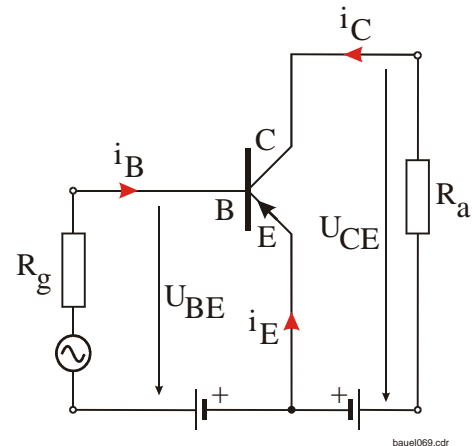


Abbildung 69: Beschalteter pnp-Transistor mit Signalquelle

Beim pnp-Transistor herrscht in der Emitterzone eine Löcherleitung vor. Diese Majoritätsträger dringen durch die Grenzschicht in die Basiszone ein, die sehr dünn im Vergleich zum Querschnitt ist. Dadurch gehen fast keine (1-5%) der Löcher durch Rekombination verloren. In der n-Schicht der Basis sind die so injizierten Löcher Minoritätsträger. Da in der Basis nahezu kein elektrisches Feld vorliegt, bewegen sich die Ladungsträger nur infolge ihrer Wärmebewegung. Dabei erreichen sie auch die Basis-Kollektor-Sperrschicht und werden dort von der angelegten äußeren (Sperr-)Spannung gewissermaßen "abgesaugt". Dadurch entsteht ein linear abnehmendes Konzentrationsgefälle der Löcher vom Emitter zum Kollektor hin, ohne dass damit eine Änderung im elektrischen Potential innerhalb der Basis verbunden wäre. Die geringen Feldänderungen infolge der Änderung der Minoritätsträger-Konzentration werden von zufälligen Schwankungen des Majoritätsträgerfeldes überdeckt und kompensiert. Die Driftgeschwindigkeiten für Löcher liegen bei 30-100 m/s. Damit die Minoritätsträger in der Basis nicht mit den Majoritätsträgern rekombinieren, wird die Basis möglichst schwach dotiert und sehr dünn

gehalten. Dadurch erreicht man große Diffusionslängen (Länge, bei der die Zahl der Ladungsträger auf den e -ten Teil abgesunken ist).

Abb. 70 zeigt die Verläufe von Raumladungsdichte in den Sperrschichten und Potentialen über der Basis eines pnp-Transistors. Der Basisstrom steuert den Arbeitspunkt im Durchlassbereich der Basis-Emitter-Diode und sorgt dadurch für entsprechend viele Minoritätsträger in der Basis, die für den Kollektorstrom notwendig sind. Da der Basisstrom nur einen Bruchteil des Emittersstroms ausmacht, kann hier mit einem kleinen Strom ein großer gesteuert werden. Das Verhältnis

$$B = \frac{I_C}{I_B}; \quad 50 < B < 1000 \quad (102)$$

wird *Gleichstromverstärkung* genannt. Für die drei Ströme gilt natürlich der erste Kirchhoffsche Satz (Gl. 21), d.h. bei den Stromrichtungen in Abb. 70 gilt:

$$I_E = - I_B - I_C. \quad (103)$$

Physikalisch wird ein kleiner Teil des Emittersstroms für den Basisstrom abgezweigt, so dass der Betrag des Kollektorstromes geringfügig kleiner als der Betrag des Emittersstromes ist. Da die Basis-Emitterdiode in Durchlassrichtung betrieben wird, ist der Basisstrom I_B entsprechend der Diodenkennlinie nach Abb. 55 nichtlinear von der Eingangsspannung U_{BE} abhängig.

Für eine lineare Verstärkung (z.B. von Sprach- und Musiksignalen als Spannungen) muss deshalb durch passende Vorspannungen ein Arbeitspunkt auf dieser Kennlinie eingestellt werden, der eine annähernd lineare Umgebung hat. Man spricht dann auch von der Kleinsignal-Verstärkung

$$\beta = \left. \frac{\partial i_C}{\partial i_B} \right|_{U_{BE} = \text{const}}. \quad (104)$$

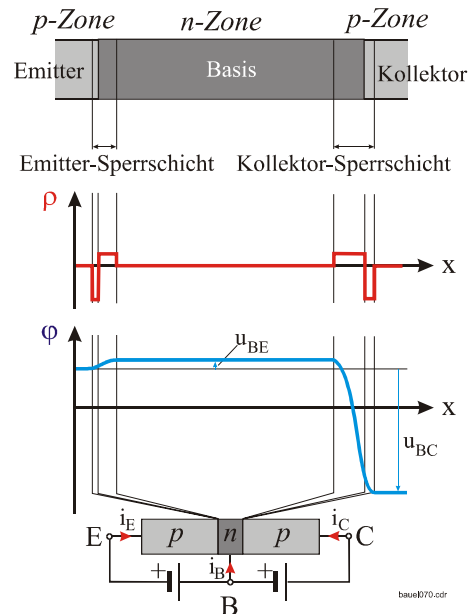


Abbildung 70: Raumladung, Potential und Spannungen über der Basis eines pnp-Transistors

Für npn-Transistoren gelten die hier vorgestellten Überlegungen entsprechend, die Vorzeichen müssen jedoch vertauscht werden und die Potentialbilder gespiegelt.

4.1.2 Die Kennlinien von Transistoren

Der Einsatz von Transistoren muss anhand ihrer Eigenschaften geplant werden. Diese umfassen eine Reihe von Einzahl-Kriterien, wie z.B. die Gleichstromverstärkung B und Kennlinien, wie z.B. die bereits erwähnte Durchlasskennlinie der Basis-Emitter-Diode.

Abb. 71 zeigt die *Übertragungskennlinie* und das *Ausgangskennlinienfeld* der npn-Transistorenfamilie BC 108/148/168. Diese Kennlinien kann man durch Variation der Ströme und Spannungen am Bauelement messen. Dabei fällt auf, dass der Kollektorstrom oberhalb einer Schwellspannung nur wenig von U_{CE} abhängt, was sofort einleuchtet, wenn man sich in Erinnerung ruft, dass der Kollektorstrom durch den Basisstrom gesteuert wird. Weiterhin fällt auf, dass schon geringe Änderungen in der Basis-Emitter-Spannung zu großen Änderungen des Kollektorstromes führen. Das Verhältnis von Strom- zu Spannungsänderung

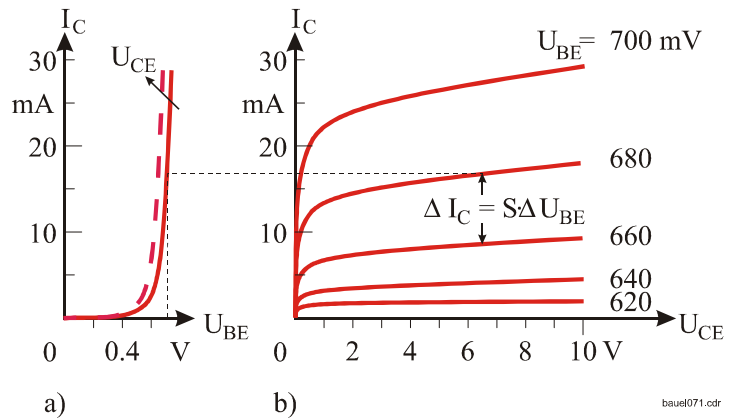


Abbildung 71: Transistorkennlinien:
a) Übertragungskennlinie, b) Ausgangskennlinienfeld

$$S = \left. \frac{\partial I_C}{\partial U_{BE}} \right|_{U_{CE} = \text{const.}} = \frac{I_C}{U_T} \quad (105)$$

wird *Steilheit* genannt, sie ist keine individuelle Kenngröße, die aus einem Datenblatt bestimmt werden muss (U_T s.u.).

Die Übertragungskennlinie nach Abb. 71a) hat ungefähr einen exponentiellen Verlauf und lässt sich durch folgende Gleichung beschreiben,

$$I_C = I_{CS}(T, U_{CE}) e^{\frac{U_{BE}}{U_T}}, \quad (106)$$

sofern der Sperrstrom $I_{CS} \ll I_C$ ist, wobei T die absolute Temperatur und U_T die Temperaturspannung ist (bei Zimmertemperatur = 300K beträgt $U_T = 25,5$ mV).

$$U_T = \frac{kT}{e_0}. \quad (107)$$

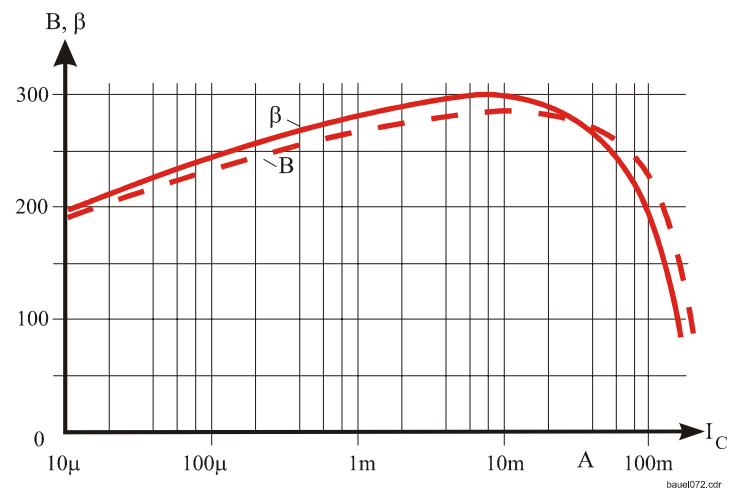


Abbildung 72: Typischer Verlauf der Stromverstärkungen bei einem Kleinsignal-Transistor nach [Tietze, Schenk]

Der Sperrstrom I_{CS} nach Gleichung (108) hängt natürlich von der Temperatur bzw. U_T ab, da infolge höherer Temperaturen die Zahl der Minoritätsträger in der Basis durch Aufbrechen der Kristallbindungen zunimmt. Weiterhin hängt er vom Querschnitt des pn -Übergangs

A, von der Elektronenbeweglichkeit μ , der Eigenkonzentration n_i , der Diffusionslänge der Majoritätsträger L_n und der Minoritätskonzentration N_A ab.

Die Stromverstärkung β nennt man auch *Kleinsignalverstärkung*. Abb. 72 zeigt den typischen Verlauf der statischen und dynamischen *Stromverstärkung* β , in halblogarithmischer Darstellung. Mit ihr nach Gl. (104) und der Steilheit nach Gl. (105) lässt sich der Eingangswiderstand berechnen:

$$r_{BE} = \frac{\partial U_{BE}}{\partial I_B} = \frac{\beta}{S} = \frac{\beta U_T}{I_C} \quad (108)$$

Wichtig für den praktischen Einsatz von Transistoren sind noch einige *Grenzdaten*. Zunächst ist die Basis-Emitterdiode der empfindlichste Teil eines Transistors.

In der Regel verträgt sie nur einige Volt in Sperrrichtung und wird bei zu hoher Sperrspannung (5V sind eine typische Grenze) durch den Zenereffekt zerstört. Insbesondere Transistoren, die Induktivitäten ansteuern - z.B. in Druckern oder für Relais - können durch die beim Abschalten auftretenden Selbstinduktionsspannungen durchbrennen. Schutzdioden müssen hier diese Spannungen kurzschließen.

Die weitere Gefahr für Transistoren ist die thermische Überlastung. Hier hilft nur Kühlung, die aber in den maximal durch Kühlkörper abführbaren Wärmeströmen ihre physikalische Grenze findet. Speziell bipolare Transistoren erzeugen im linearen Betrieb erhebliche Wärmemengen. Die Betriebsgrenze ist hier durch die Verlustleistung bei maximaler Betriebstemperatur P_{Tmax} gegeben. Der sog. *Durchbruch zweiter Art* beschränkt bei hohen Betriebsspannungen den Arbeitsbereich. Weitere Grenzen sind die maximale Kollektor-Emitter-Spannung U_{CE0} und der maximale Kollektorstrom I_{Cmax} . In Abb. 73 sind diese Betriebsgrenzen eingezeichnet.

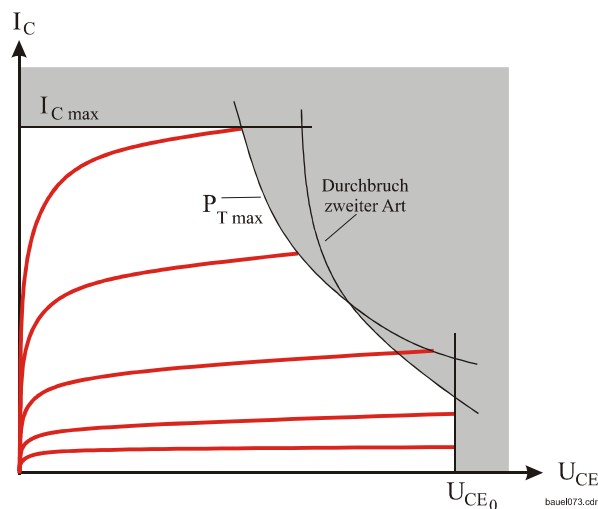


Abbildung 73: Grenzen des Arbeitsbereiches eines Transistors

4.1.3 Der Feldeffekt-Transistor

Während bei Bipolar-Transistoren die steuernde Größe ein (Basis-) Strom war, kann man auch Halbleiterbauelemente erzeugen, die von einem elektrischen Feld (oder einer Spannung) gesteuert werden. Solche Bauelemente werden *Feldeffekt-Transistoren* oder kurz *FETs* genannt. Gesteuert wird hier ein Strom von einem senkrecht dazu verlaufendem elektrischen Feld. Abb. 74 zeigt das Prinzip.

Ein Halbleiterkristall mit sehr geringer Ladungsträgerkonzentration (*p-Kanal-FET* bei p-Dotierung, *n-Kanal-FET* bei n-Dotierung) ist an beiden Seiten mit Kontakten versehen, die *Source S* (Quelle) und *Drain D* (Abfluss) heißen. Vom Halbleiter isoliert befindet sich seitlich in geringem Abstand eine Steuerelektrode, die *Gate G* genannt wird.

Legt man nun (in unserem Beispiel) eine positive Ladung auf das Gate, so werden in der Halbleiterschicht negative Ladungsträger influenziert, die infolge der Source-Drain-Spannung zu einem Drain-Strom I_D führen. Überlagert man der Gate-Spannung eine Wechselfspannung, so erfolgt eine Steuerung des Drainstromes. Am Lastwiderstand R_L kann dann eine verstärkte Signalspannung abgenommen werden.

Die Steuerung des Drainstromes kann über zwei Mechanismen erfolgen: Durch Steuerung des Querschnitts des Strompfades oder durch Steuerung der Ladungsträgerkonzentration im Strompfad.

Betrachten wir zunächst den ersten Fall. Solche FETs heißen *JFET* (*Junction-FET*) oder Sperrschicht-FET. Als Beispiel wählen wir einen n-Kanal-FET. In der Mitte dieses Halbleiterkristalls befindet sich ein Bereich entgegengesetzter Dotierung, in unserem Falle ein p^+ -Gebiet, das mit der Gate-Elektrode verbunden ist. Wird an Source und Drain, wie in Abb. 75a, eine Spannung angelegt, so entsteht eine Sperrschicht zwischen dem n- und dem p^+ -Gebiet. Wird die Steuerspannung am Gate negativer, so dehnt sich die p^+ -Schicht weiter in die n-Schicht aus und der für den Stromtransport verfügbare Querschnitt wird geringer (Abb. 75b). Bei geringer Drainspannung kann man nach Abb. 75c einen effektiven Kanalquerschnitt

$$A = (a - b) \cdot c \quad (109)$$

abschätzen, der mit der effektiven Länge L einen Drainstrom

$$I_D = \frac{\sigma \cdot A}{L} U_{DS} = \frac{\sigma(a - b) \cdot c}{L} U_{DS} \quad (110)$$

durchlässt, wobei σ die Leitfähigkeit des Halbleitermaterials ist. Die (mittlere) Breite der Raumladungszone b ist nach [Münch]

$$b = \sqrt{\frac{2\epsilon}{eN_D} (-U_{GS})}, \quad (111)$$

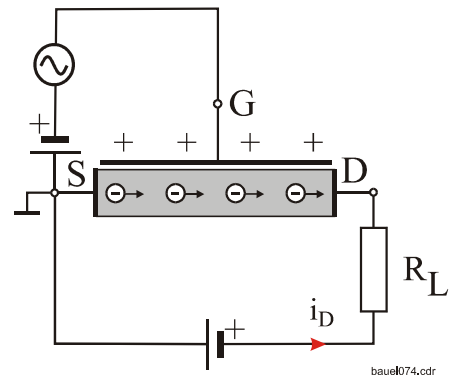


Abbildung 74: Prinzip des Feld-effekt-Transistors

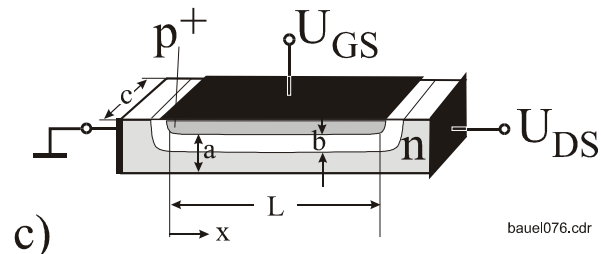
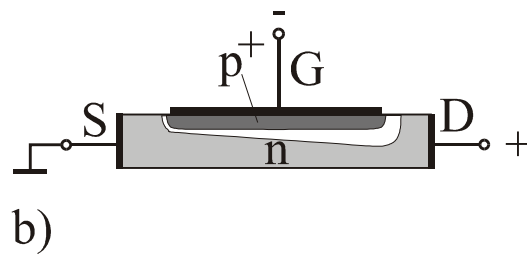
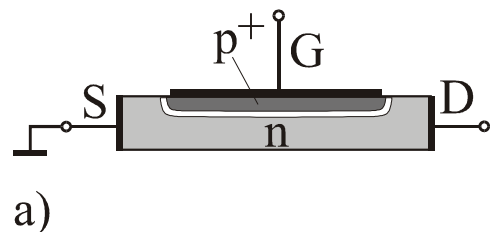


Abbildung 75: Sperrschicht-FET
 a) ohne Betriebsspannungen,
 b) mit Sperrschicht infolge negativer Gatespannung,
 c) Geometrie-Abschätzung

wobei N_D nach Gl.(93) die Donatorenkonzentration ist. Mit der *Abschnürspannung* (Pinch off voltage)

$$U_P = \frac{eN_D a^2}{2\epsilon} \quad (112) \quad \text{ergibt sich folgende Anlaufkennlinie:}$$

$$I_D = \frac{ac\sigma}{L} \left(1 - \sqrt{\frac{-U_{GS}}{U_P}} \right) U_{DS} \quad (113)$$

Hieraus geht hervor, dass bei kleiner Aussteuerung ein linearer Zusammenhang zwischen Drainstrom und Drainspannung besteht, der JFET kann also in diesem Bereich als steuerbarer Leitwert eingesetzt werden. Für $-U_{GS} = U_P$ wird der Kanal gesperrt.

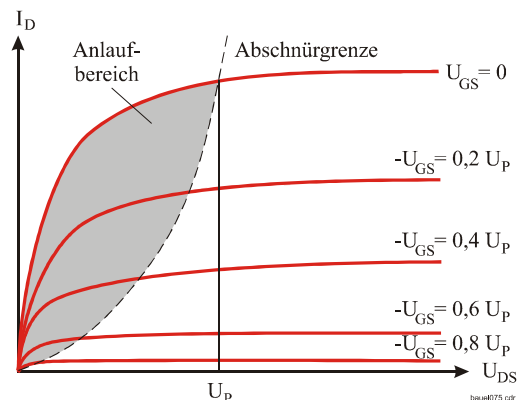
In Wirklichkeit ist die Breite b der Raumladungszone nicht konstant, sondern sie wird in Richtung zum Drainkontakt hin größer, da die wirkende Spannung $(-U_{GS} + U_{DS} x/L)$ in Richtung Drain anwächst und damit die Raumladungszone, so dass sich die leitende Schicht zum Drainkontakt hin einschnürt, wie Abb. 75b illustriert.

Für
$$U_{DS} \geq U_P + U_{GS} \quad (114)$$

hängt der Drainstrom nicht mehr von der Drain-Source-Spannung U_{DS} ab, so dass sich horizontale Kennlinien ergeben, wie Abb. 76 zeigt.

In diesem Sättigungsbereich können die Kennlinien durch folgende Gleichung beschrieben werden [Münch]:

$$I_D = \frac{ac\sigma}{L} \left[\frac{U_P}{3} + U_{GS} + \frac{2}{3} \frac{(-U_{GS})^{\frac{3}{2}}}{\sqrt{U_P}} \right] \quad (115)$$



Anwendungstechnisch wichtig ist die *Steilheit* S , die durch Gl. (116) gegeben ist:

$$S = \frac{\partial I_D}{\partial U_{GS}} = \frac{ac\sigma}{L} \left(1 - \sqrt{\frac{-U_{GS}}{U_P}} \right) \quad (116) \quad \text{Abbildung 76: Kennlinienfeld eines JFET}$$

Die maximale Steilheit tritt bei $U_{GS} = 0$ auf und ist identisch mit dem Leitwert des offenen Kanals. Da die Kanalhöhe a und die Dotierung N_D durch die Betriebsbedingungen (erforderliche Sperrspannungen) festgelegt sind, kann eine Optimierung der Steilheit nur durch eine hohe Beweglichkeit der Ladungsträger im Halbleiterwerkstoff, durch eine kurze Gatelänge L und durch Vergrößerung der Breite c erfolgen.

Zur Steuerung des Drainstromes muss nur der sehr geringe Sperrstrom einer pn-Diode aufgebracht werden. Der Eingangswiderstand liegt in der Größenordnung von $10^8 \Omega$. Diese Bauelemente werden deshalb besonders als Verstärker eingesetzt; als Schalter sind sie weniger gebräuchlich, da U_{GS} und U_{DS} unterschiedliche Polarität haben und daher nicht ein FET einen nachfolgenden unmittelbar ansteuern kann.

4.1.4 Der MOS-FET

Eine besondere Bedeutung haben MOS-Feldeffekt-Transistoren (Metal Oxide Silicon) erlangt, weil sie zu Millionen auf digitalen integrierten Schaltungen (*ICs integrated circuits*) wie RAM-Speicherbausteinen zu finden sind. Bei diesen Halbleiterbauelementen ist das metallische Gate durch eine dünne SiO_2 -Schicht vom Grundmaterial, dem Substrat (auch *Bulk* genannt), isoliert. Dadurch kann nahezu kein Gatestrom fließen, unabhängig von der Polung der Gate-Spannung. In der Praxis liegen die Gateströme bei $1\text{pA} - 1\text{nA}$ und die Eingangswiderstände zwischen 10^{10} und $10^{13} \Omega$.

Die zwischen Gate und Substrat angelegte Spannung beeinflusst, wie schon in Abb. 74 schematisch dargestellt, zwischen Source und Drain einen leitenden *Kanal*. Dieser kann n-leitend oder p-leitend sein, wie rechts bzw. links in Abb. 77 dargestellt. Hierbei wird bei ansteigender Gatespannung der Kanal besser leitend. Man spricht auch von einem *Enhancement-* oder *Anreicherungs-Typ*. Dieser FET ist *selbstsperrend*, d.h. bei spannungslosem Gate fließt kein Drainstrom, da kein Kanal vorhanden ist.

Wird unterhalb der Isolierschicht ein leitender Kanal eindiffundiert, so kann durch Einfluss über das Gate dieser mit steigender Gatespannung verkleinert werden. Dieser FET heißt *Depletion-* oder *Verarmungs-Typ*. Er ist *selbstleitend*, d.h. bei spannungslosem Gate fließt ein maximaler Drainstrom. In der Praxis gibt es auch Typen, die zwischen diesen Extremen liegen. Abb. 78 zeigt die verschiedenen Fälle.

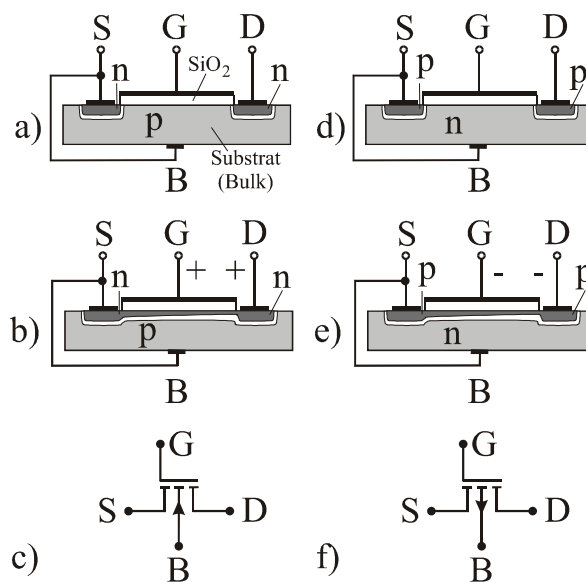


Abbildung 77: MOS-FET

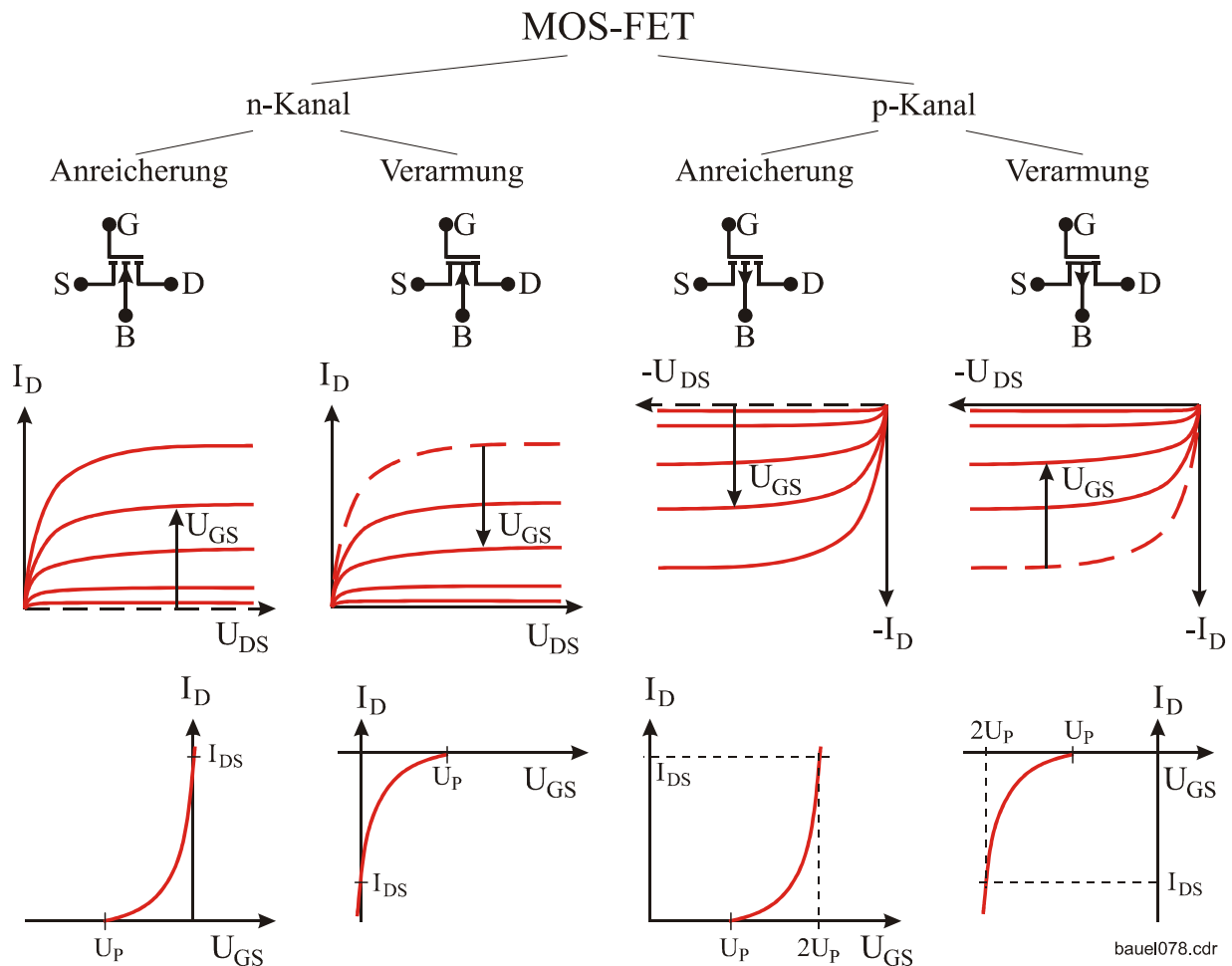


Abbildung 78: Klassifizierung von MOS-FETs, die Kennlinie bei spannungslosem Gate ist gestrichelt eingezeichnet

4.2 Grundsaltungen von Transistor und FET

Es gibt je drei Grundsaltungen für den Betrieb von Transistoren bzw. FETs. Je nachdem, welche Elektrode auf konstantem Potential liegt, unterscheidet man beim Bipolar-Transistor zwischen *Emitter-, Kollektor- und Basis-Schaltung* und beim Feldeffekttransistor zwischen *Source- Drain- und Gate-Schaltung*.

Für Bipolar-Transistoren betrachten wir npn-Si-Transistoren - für pnp-Transistoren sind die Spannungen umzupolen. Dabei nehmen wir an, dass im Arbeitspunkt eine Basis-Emitter-Spannung von $U_{BEA} \approx 0,6V$ herrscht.

4.2.1 Emitterschaltung / Source-Schaltung

Betrachten wir zunächst die Emitterschaltung eines Bipolar-Transistors. Sie ist in Abb. 79 wiedergegeben. Legen wir eine Eingangsspannung $U_e \approx 0,6V$ an, um einen Kollektorstrom von einigen mA fließen zu lassen, so nimmt der Kollektorstrom nach Abb. 71 zu, wenn die Eingangsspannung ansteigt. In erster Näherung ($U_{CE} = const$) gilt dann

$$\Delta I_C \approx S \cdot \Delta U_{BE} = S \cdot \Delta U_e \quad (117)$$

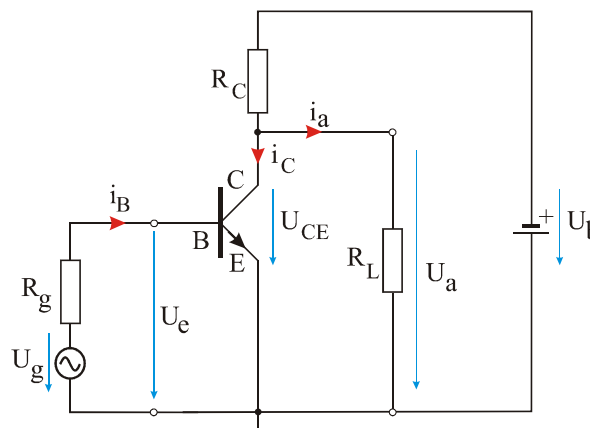


Abbildung 79: Emitterschaltung

Da der Kollektorstrom von der Betriebsspannungsquelle über den Arbeitswiderstand R_C in den Transistor hineinfließt, vergrößert sich durch seine Zunahme der Spannungsabfall an R_C , d.h. die Ausgangsspannung U_a nimmt ab um:

$$U_a = -\Delta I_C \cdot R_C = -S R_C \cdot \Delta U_e \quad (118)$$

Daraus ergibt sich mit $R_C \ll r_{CE}$ und Gl.(104) eine Spannungsverstärkung A [Tietze] von

$$A = \frac{\Delta U_a}{\Delta U_e} = -S R_C = -\frac{I_C R_C}{U_T} \quad (119)$$

Für den Fall, dass $R_C \gg r_{CE}$, gilt die folgende Überlegung:

$$\mu = \lim_{R_C \rightarrow \infty} |A| = \lim_{R_C \rightarrow \infty} S(R_C \parallel r_{CE}) = S \cdot r_{CE} \quad (120)$$

Nun lässt sich ein unendlicher Kollektorwiderstand R_C nicht realisieren, da dann der Spannungsabfall an ihm auch nach unendlich strebt, d.h. man benötigt sehr hohe Versorgungsspannungen. Man kann jedoch bei Verwendung einer Konstant-Stromquelle als Kollektorwiderstand bei niedrigen Spannungen hohe differentielle Widerstände erreichen (s.u.). Typische Werte für die Spannungsverstärkungen liegen bei $A \approx 200$ und $\mu \approx 1.000-5.000$.

Wegen der Krümmung der Übertragungskennlinien sind die Transistorverstärker nichtlinear. Um trotzdem eine annähernd lineare Verstärkung zu erreichen, werden *Gegenkopplungen* eingesetzt. Dabei wird ein Teil des Ausgangssignals auf den Eingang mit entgegengesetztem Vorzeichen rückgekoppelt. Das führt zu einer Linearisierung im Arbeitspunkt aber auch zu einer Verringerung der effektiven Verstärkung. Solche Verstärkerschaltungen sind im Bereich analoger Signale erforderlich, etwa bei Messsignalen oder in akustischen Geräten.

Bei FETs entspricht die *Source-Schaltung* der eben besprochenen Emitterschaltung. Abb. 80 zeigt die Grundsaltung. Der Unterschied besteht darin, dass die Gate-Kanal-Diode in Sperrrichtung betrieben wird, so dass nur ein ganz geringer Eingangsstrom fließt ($R_G \approx 10^8 \Omega$). In Analogie zum Bipolar-Transistor lässt sich dann die Spannungsverstärkung angeben:

$$A = -S(R_D \parallel r_{DS}). \quad (121)$$

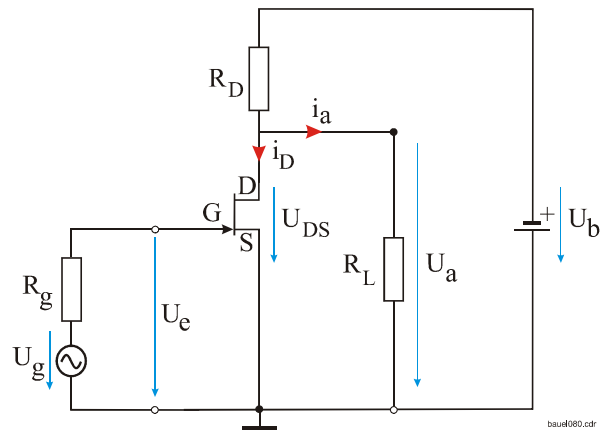


Abbildung 80: Sourceschaltung

Die Maximalverstärkung ist im Bereich

$0,1 I_{DS} < I_D < I_{DS}$ nur wenig vom Drainstrom abhängig und liegt bei n-Kanal-FETs im Bereich $100 < \mu < 300$, bei p-Kanal-FETs etwa

bei der Hälfte. Bipolartransistoren haben eine etwa zehnmal größere Maximalverstärkung. MOSFETs werden wegen ihrer Rauscheigenschaften nur in analogen *Hochfrequenz-Schaltungen* eingesetzt.

4.2.2 Basisschaltung / Gateschaltung

Bei der *Basisschaltung* liegt die Basis auf Erdpotential. Wenn man die nebenstehende Basischaltung mit der Emitterschaltung nach Abb. 79 vergleicht, dann sieht man, dass die Eingangsspannung zwischen denselben Anschlüssen liegt. Deshalb ergibt sich auch dieselbe Spannungsverstärkung, nur mit umgekehrtem Vorzeichen, da statt $dU_{BE} = dU_e$ hier die Beziehung $dU_{BE} = -dU_e$ gilt. Wesentlich ist, dass die Signalquelle nicht, wie bei der Emitterschaltung, mit dem (kleinen) Basisstrom belastet wird, sondern mit dem wesentlich größeren Emittterstrom. Der Eingangswiderstand der Basisschaltung ist daher um den Faktor β der Stromverstärkung geringer als bei der Emitterschaltung. Dafür hat die Schaltung im Hochfrequenzbereich eine wesentlich größere Bandbreite als die Emitterschaltung. Es gelten die folgenden Aussagen:

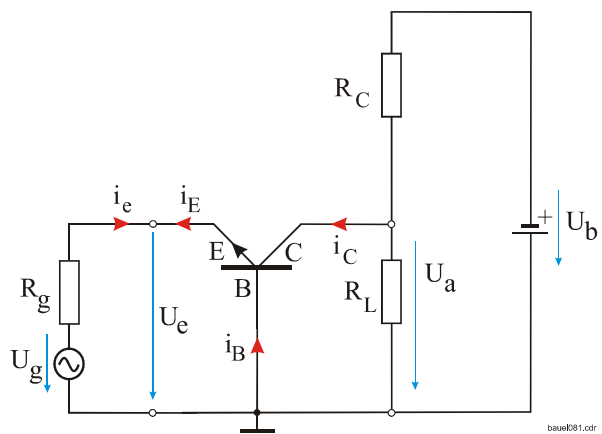


Abbildung 81: Basisschaltung

Spannungsverstärkung: $A = S(R_C \parallel r_{CE}),$

Eingangswiderstand: $r_e \approx \frac{1}{S} = \frac{R_{BE}}{\beta}, \quad (122)$

Ausgangswiderstand: $r_a \approx R_C .$

Das Analogon für FETs, die *Gateschaltung*, wird kaum angewendet, weil dabei der hohe Gate-Kanal-Widerstand nicht wirksam wird.

4.2.3 Kollektor-Schaltung / Drain-Schaltung

Bei der *Kollektorschaltung* liegt der Kollektor signalseitig auf Erdpotential, da er direkt mit der Versorgungs-Spannungsquelle verbunden ist, deren Innenwiderstand nahezu null ist, es gilt $R_C \ll R_L$. Legt man an die Schaltung nach Abb. 82 eine Eingangsspannung von mehr als 0,6V (Durchlassspannung der Basis-Emitter-Diode), so fließt ein Kollektorstrom, der am Lastwiderstand R_L im Emittierkreis einen gegenüber der Eingangsspannung um 0,6V verminderten Spannungsabfall hervorruft. Wegen der steilen Kennlinie (s. Abb. 71) vergrößert sich bei Erhöhung der Eingangsspannung der Spannungsabfall nur geringfügig. Die Ausgangsspannung ist also fast so groß wie die Eingangsspannung. Daher nennt man die Schaltung auch *Emitterfolger*; die Ausgangsspannung am Emittierwiderstand R_L folgt der Eingangsspannung. Es gilt also

$$U_a = U_e - U_{BEA} \approx U_e - 0,6V. \quad (123)$$

Für die wichtigsten Kenngrößen gelten dann die folgenden Beziehungen:

$$\text{Spannungsverstärkung: } A \approx \frac{SR_L}{1 + SR_L} \approx 1,$$

$$\text{Eingangswiderstand: } r_e \approx \beta \cdot R_L, \quad (124)$$

$$\text{Ausgangswiderstand: } r_a \approx R_L \parallel \left(\frac{1}{S} + \frac{R_g}{\beta} \right).$$

An einem Zahlenbeispiel wollen wir zeigen, wie gering durch eine Kollektorschaltung der Ausgangswiderstand werden kann: Bei $I_C = 2\text{mA}$, $\beta = 300$, $R_L = 3\text{k}\Omega$ und $R_g = 40\text{k}\Omega$ erhalten wir mit den Gln. (104), (106) und (122) bei Zimmertemperatur den differentiellen Ausgangswiderstand

$$r_a = \left(\frac{26\text{mV}}{2\text{mA}} + \frac{40\text{k}\Omega}{300} \right) \parallel 3\text{k}\Omega = (13\Omega + 133\Omega) \parallel 3\text{k}\Omega = 140\Omega.$$

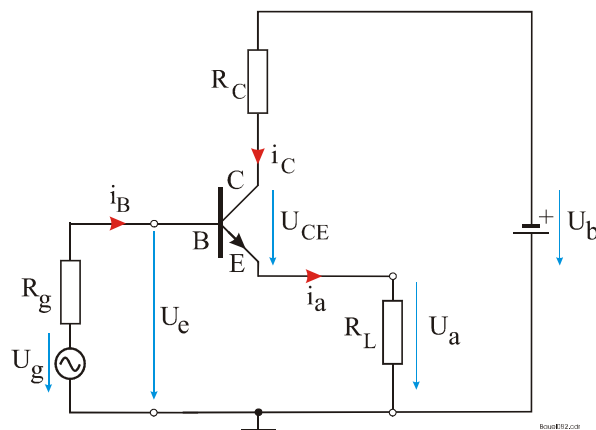


Abbildung 82: Kollektorschaltung oder Emitterfolger

Der differentielle Eingangswiderstand ist dann $r_e \approx 300 \cdot 3 \text{ k}\Omega = 900 \text{ k}\Omega$. Er ist also 6.400 Mal größer als r_a . Man bezeichnet die Kollektorschaltung daher auch als *Impedanzwandler*. Da seine Spannungsverstärkung $A \approx 1$ ist, kann er aus einer hochohmigen Spannungsquelle eine niederohmige machen.

Bei FETs gibt es analog zur Emitterschaltung eine *Drainschaltung*. Sie besitzt einen höheren Eingangswiderstand als die Sourceschaltung. Da diese schon einen hohen Eingangswiderstand hat, ist das weniger interessant als die zweite Eigenschaft, nämlich eine kleinere Eingangskapazität, die schnellere Schaltvorgänge erlaubt. Für die wichtigsten Kenngrößen gelten die folgenden Beziehungen:

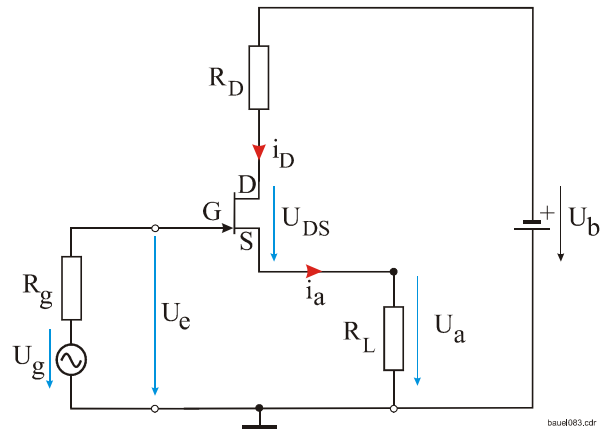


Abbildung 83: Drainschaltung oder Sourcefolger

$$\text{Spannungsverstärkung: } A \approx \frac{1}{1 + \frac{1}{S(R_L \parallel r_{DS})}} \approx \frac{SR_L}{1 + SR_L}, \tag{125}$$

$$\text{Eingangswiderstand: } r_e \approx \infty,$$

$$\text{Ausgangswiderstand: } r_a \approx R_L \parallel \frac{1}{S}.$$

Damit erhält man z.B. mit $S = 5 \text{ mS}$ (oder Millimho) und einem Sourcewiderstand $R_L = 1 \text{ k}\Omega$ eine Verstärkung $A = 0,83$ und den differentielle Ausgangswiderstand $r_a = 167 \Omega$.

4.2.4 Darlington-Schaltung

Reicht die Stromverstärkung einer Grundsaltung nicht aus, so kann man einen Emitterfolger vorschalten, wie es folgende Abbildung zeigt. Diese

$$\begin{aligned} \text{Stromverstärkung: } \beta' &= \beta_1 \cdot \beta_2, \\ \text{Eingangswiderstand: } R_{B'E'} &= 2 \cdot r_{BE_1}, \\ \text{Steilheit: } S' &= I'_{C'} / (2 \cdot U_T), \\ \text{Ausgangswiderstand: } R_{C'E'} &= \frac{2}{3} \cdot r_{CE_2}. \end{aligned} \tag{126}$$

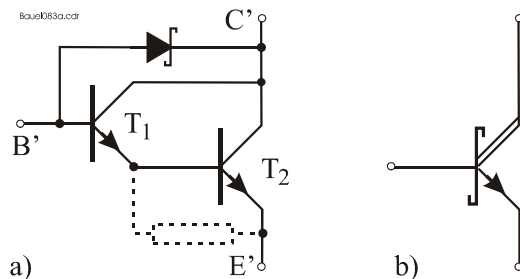


Abbildung 84: Darlington-Schaltung
a) Schaltung, b) Schaltsymbol

Schaltung heißt nach ihrem Erfinder *Darlington*-Schaltung. Häufig fügt man in der Digitaltechnik eine Schottky-Antisättigungsdiode ein.

4.3 Logische Grundsaltungen

Für die logischen Verknüpfungen, die in digitalen Schaltungen realisiert werden, gibt es spezielle Familien von Schaltkreisen, die hier näher betrachtet werden sollen. Zu den Methoden des formalen Schaltungsentwurfs und der zugrundeliegenden Booleschen Algebra wollen wir hier nichts aussagen, dazu s. z.B. [Keller].

4.3.1 Grundsätzliche Begriffe digitaler Bausteine

Im Gegensatz zu analogen Schaltungen, die um einen Arbeitspunkt herum einen Arbeitsbereich haben, gibt es bei digitalen Schaltungen nur zwei interessante Zustände, die die beiden binären Ziffern 0 und 1 repräsentieren. In der Regel sind das zwei Spannungen $U_L < U_H$. Ist eine Spannung $U > U_H$, so befindet sich die Schaltung im Zustand *high*, gilt $U < U_L$, so befindet sie sich im Zustand *low*. Zwischen *high* und *low* gibt es einen Bereich $U_H - U_L$, in dem der Zustand *undefiniert* ist. Die Größe $S_H = (U_a - U_H) > 0$ heißt *H-Störabstand*, die Größe $S_H = (U - U_L) < 0$ *L-Störabstand*. In Abb. 84 ist dies am Beispiel eines Transistor-Inverters mit $U_b = 5V$ und $R_L = R_C$ illustriert. Die letzte Bedingung führt zu einer maximalen Ausgangsspannung von $U_b/2$.

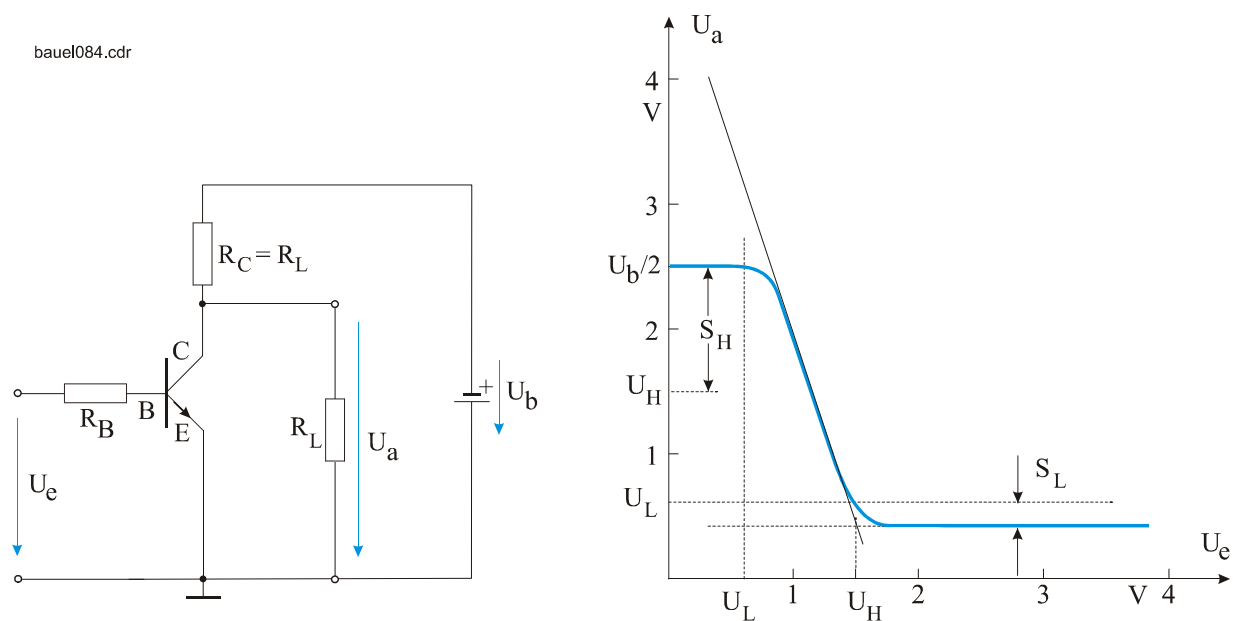


Abbildung 85: Übertragungskennlinie eines Inverters mit $R_L = R_C$.

Die Größen $U_L = 0,6V$ und $U_H = 1,5V$ sind hier so gewählt, dass im praktischen Betrieb reale Störabstände entstehen. Bei käuflichen digitalen Bausteinen können diese Größen aus den Datenblättern abgelesen werden.

Der Basiswiderstand R_B darf nicht zu groß gemacht werden, damit der Transistor sicher in die Sättigung gesteuert werden kann. Das ist etwa bei $R_B = 2R_C$ der Fall (s.[Tietze]). Daraus folgt,

dass diese Schaltung maximal zwei gleichartige Schaltungen ansteuern kann, was nicht besonders günstig ist. Die Belastbarkeit des Ausgangs mit gleichartigen Eingängen nennt man *fan out*, in diesem Fall also 2. Übliche Bausteine haben ein fan out ≥ 10 .

4.3.2 Dynamische Eigenschaften

Für digitale Bausteine sind im Besonderen die Schaltzeiten von Interesse, d.h. man möchte möglichst kleine Verzögerungen in den Bausteinen haben, um schnell zu sein. Das Schaltverhalten des Inverters nach Abb. 85 ist in der folgenden Abbildung schematisch dargestellt.

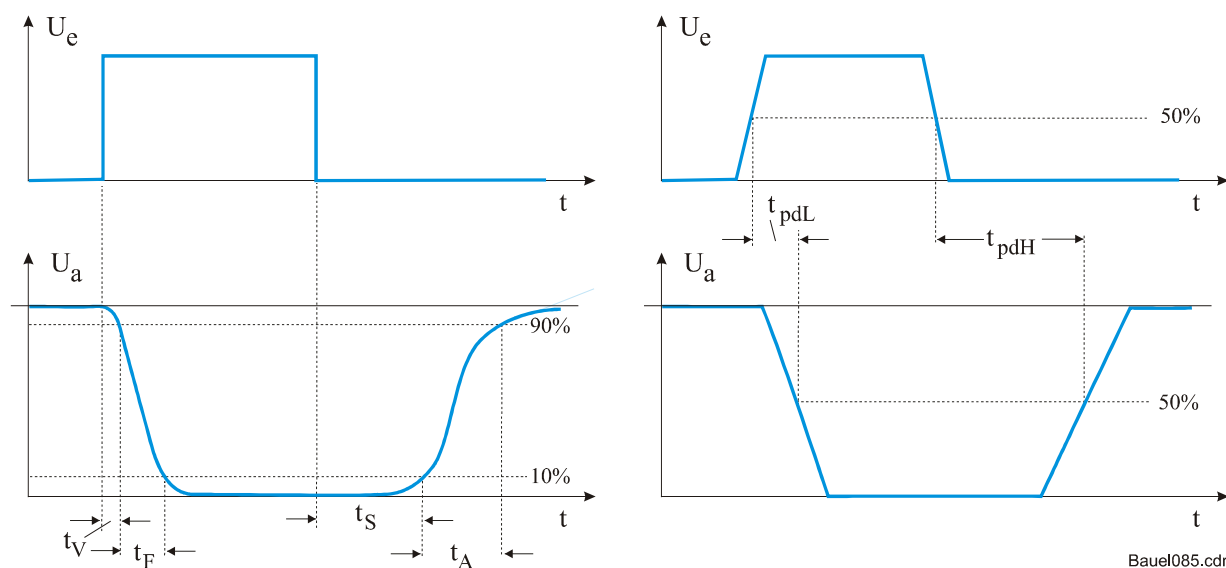


Abbildung 86: Zeitverhalten des Inverters bei rechteckförmiger Eingangsspannung

Die einzelnen Zeitabschnitte haben folgende Bedeutung:

t_V : Verzögerungszeit;	t_{pdL} : Propagation Delay Time (Low);
t_F : Fallzeit;	t_{pdH} : Propagation Delay Time (High);
t_S : Speicherzeitzeit;	
t_A : Anstiegszeit.	

Das größte Zeitintervall ist die *Speicherzeit* t_S . Sie wird durch die Sättigung des Transistors in Durchlassrichtung bewirkt, d.h. je stärker in Abb. 70 die Kollektor-Sperrschicht abgebaut war, um so mehr Zeit wird für den Neuaufbau einer Raumladung benötigt. Dieser Umladevorgang kann durch den Begriff einer *Basis-Kollektor-Kapazität* modelliert werden, deren Größe vom Sättigungsstrom i_{CE} abhängt. Schnelle Digitalbausteine werden daher nicht im Sättigungsbereich betrieben (ECL-Logik, s.u.).

Es ist naheliegend, dass Bauelemente mit kleineren geometrischen Abmessungen auch geringere Kapazitäten aufweisen, da sich die Dicke der Schichten nicht in gleicher Weise verringert. Daher hat die fortschreitende Miniaturisierung von Halbleiterbauelementen nicht nur eine Verbesserung

der Ausbeute oder einen höheren Integrationsgrad und damit z.B. mehr Speicherkapazität zur Folge, vielmehr wird dadurch auch die Geschwindigkeit verbessert.

Rechts in Abb. 86 ist ein vereinfachtes Schema zur Beschreibung des Zeitverhaltens von Digitalbausteinen dargestellt. Man spricht von einer *Gatterlaufzeit* (Propagation Delay Time)

$$t_{pd} = \frac{t_{pdL} + t_{pdH}}{2} . \quad (127)$$

Bei Digitalschaltungen müssen diese Laufzeiteffekte berücksichtigt werden, da infolge von Exemplarstreuungen bei der Herstellung niemals völlig identische Bauelemente entstehen. In der Regel werden diese Effekte durch Taktung eliminiert, d.h. man erzwingt Entscheidungsintervalle durch einen äußeren Takt, der sicherstellt, dass das langsamste Bauelement bereits im eingeschwungenen Zustand ist, wenn ein Ergebnis als gültig angesehen werden soll.

4.3.3 Gatter und Flipflops

Der Inverter nach Abb. 85 kann als logisches Bauelement mit einem Eingang und einem Ausgang angesehen werden, welches das Eingangssignal negiert, d.h. eine logische Null wird zu einer Eins und umgekehrt.

Aus zwei Invertern lässt sich dann einfach ein *NOR-Gatter*, wie in Abb. 87 zusammensetzen. (Es handelt sich hier um die sog. RTL-Logik, die in der Praxis heute wegen der geringen Belastbarkeit nicht mehr eingesetzt wird.) Auf ähnliche Art und Weise lassen sich *NAND-Gatter* und andere zusammensetzen. Sie bilden die Basis für alle heutigen Digitalschaltungen.

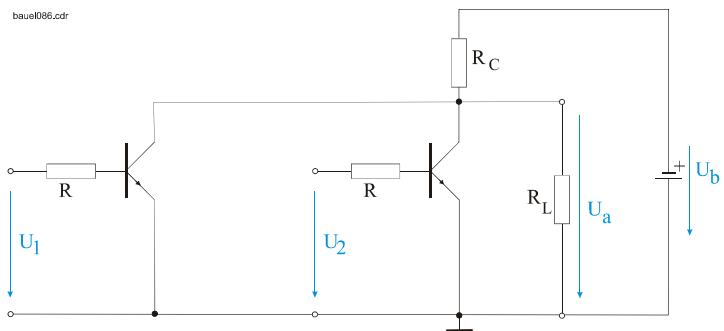


Abbildung 87: NOR-Gatter aus zwei Invertern

Aus zwei NOR-Gattern wiederum lassen sich sog. *Flipflops* zusammensetzen. Abb. 88 zeigt ein

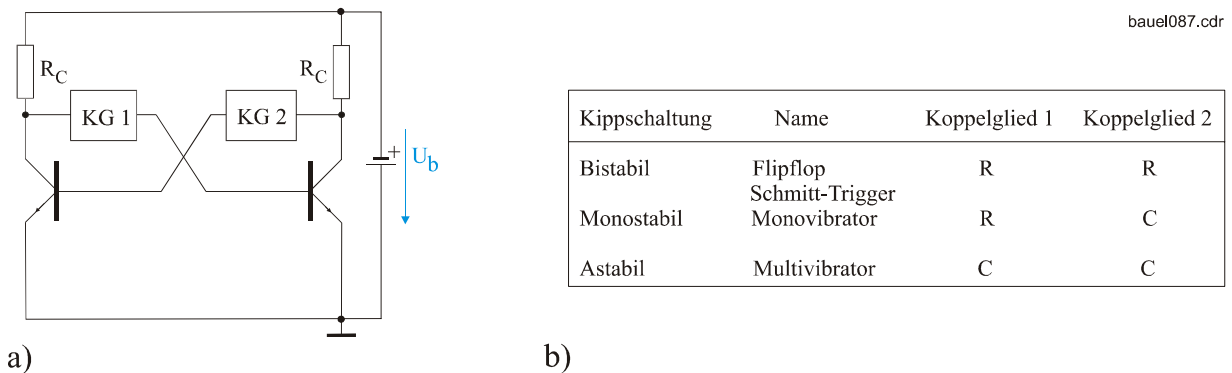


Abbildung 88: Grundprinzip von Flipflops

Prinzipschaltbild. Flipflops sind gekennzeichnet durch die gegenseitige Rückkopplung ihrer Ausgänge auf die Eingänge (Basen) der jeweils anderen Transistoren. Diese Bausteine haben drei Ausprägungen:

Astabile Flipflops oder *Multivibratoren*, die in den Rückkopplungszweigen mitgekoppelt sind und daher Eigenschwingungen durchführen, wobei Kondensatoren in den Rückkopplungszweigen geschaltet sind, - diese Bausteine können in Verbindung mit Schwingquarzen als Taktgeneratoren eingesetzt werden -

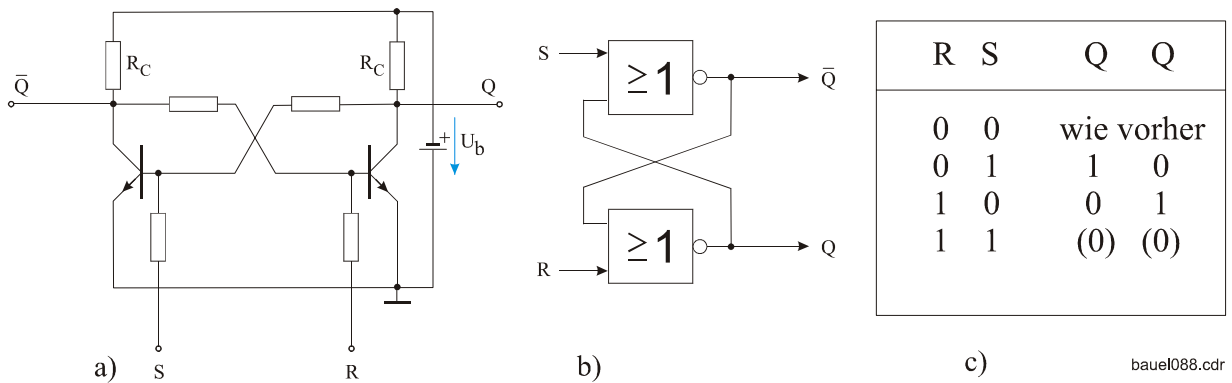


Abbildung 89: RS-Flipflop: a) Transistorschaltung, b) aus NOR-Gattern zusammengesetzt, c) Wahrheitstafel

monostabile Flipflops, die unabhängig von der Länge des Eingangsimpulses einen Ausgangsimpuls von definierter Länge erzeugen - hier liegt ein ohmscher Widerstand in einem und ein Kondensator im anderen Rückkopplungszweig -, und *bistabile Flipflops*, die in Digitalschaltungen als Ein-Bit-Speicher, z.B. in Rechenregistern verwendet werden. Hier sind zwei ohmsche Widerstände in den Rückkopplungszweigen. Abb. 89 zeigt links ein RS-Flipflop als RTL-Logik und rechts eins aus NOR-Gattern mit zugehöriger Wahrheitstafel. Mit einer Eins am Eingang \underline{S} (Setzen) wird Q eins und \bar{Q} null, mit einer Eins an R (Rücksetzen) wird \bar{Q} eins und Q null.

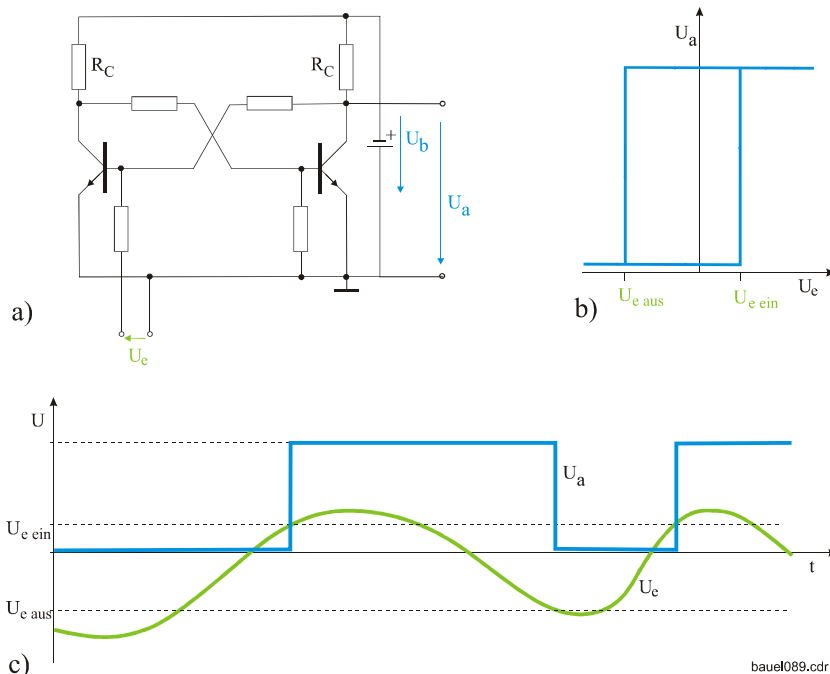


Abbildung 90: Schmitt-Trigger: a) Schaltung, b) Schalt-Hysteris, c) Signale

Setzt man den Eingang R auf Erdpotential, so kann am Eingang S eine beliebige Spannung angelegt werden, die zu $Q = 1$ führt, wenn eine Schwellenspannung $U_{e_{ein}}$ überschritten wird und zu $Q = 0$, wenn eine Schwelle $U_{e_{aus}}$ unterschritten wird. Diese Schaltung nennt man *Schmitt-Trigger*. Sie dient der Signalformung, z.B. um aus gestörten Messsignalen saubere digitale Signale zu erzeugen. In Abb. 90 ist das Prinzip dargestellt.

4.3.4 Schaltkreisfamilien

Schaltkreisfamilien zeichnen sich dadurch aus, dass die Bausteine aufeinander abgestimmt sind, z.B. haben sie dieselbe Betriebsspannung, definierte Spannungsbereiche für die logische Null bzw. Eins, in ihren Schaltgeschwindigkeiten sind sie angepasst usw.

Je nach Einsatzgebiet gibt es verschiedene Realisierungen von Digitalbausteinen. Zwei - nicht mehr erhältliche - Bausteinfamilien sind die *Widerstands-Transistor-Logik* (RTL) und die *Dioden-Transistor-Logik* (DTL). Beide stammen aus der Zeit, als noch mit diskreten Bausteinen gearbeitet wurde. Sie sind wegen ihrer Schwerfälligkeit obsolet geworden.

Eine - vor allem in Industrie-Steuerungen - eingesetzte ältere Logikfamilie ist die *langsame störersichere Logik* (LSL), auch *High Level Logic* (HLL) genannt. Im Prinzip handelt es sich um eine Dioden-Transistor-Logik, bei der im Eingang eine Zener-Diode besonders hohe Störspitzen abschneidet. Dadurch wird der Eingangspegel auf 6V angehoben und bei einer Betriebsspannung von 12V erhält man einen Störabstand von 5V. Durch einen Kondensator zwischen Eingang und Massepotential kann man kurze Störspitzen weiter reduzieren.

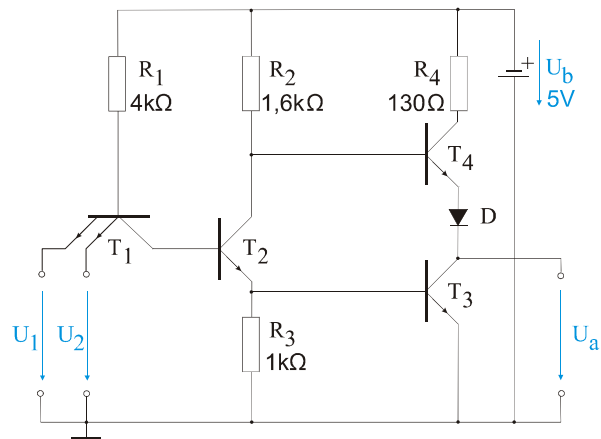


Abbildung 91: TTL-NAND-Gatter 7400

Seit über 20 Jahren ist die *Transistor-Transistor-Logik* (TTL) der Standard für normale Digitalschaltungen. Es gibt eine umfangreiche Bausteinfamilie mit den verschiedensten Funktionen, die i.d.R. die Zahl 74xx im Namen tragen. Ein NAND-Gatter vom Typ 7400 ist in Abb. 91 dargestellt. Der integrierte Baustein enthält als Eingangstransistor einen solchen mit mehreren Emittern. Das ist nichts weiter, als der Ersatz der Dioden in den Eingängen der alten DTL-Bausteine. Sind in unserem Beispiel beide Emitter des Eingangstransistors auf hohem Potential, so ist T_1 gesperrt und der Basisstrom von T_2 fließt über die in Durchlassrichtung betriebene Basis-Kollektordiode. Der nachfolgende Transistor wird dadurch leitend. Legt man einen Eingang auf niedriges Potential, so übernimmt T_1 den Basisstrom von T_2 und sperrt ihn damit.

Die nachfolgende Gegentakt-Endstufe bewirkt eine Leistungsverstärkung mit Signal-Invertierung. Wenn T_2 leitend ist, dann ist auch T_3 leitend, d.h. der Ausgang liegt auf niedrigem Potential (und kann die Ströme der nachfolgenden Gatter übernehmen). Wenn T_2 sperrt, dann auch T_3 , und T_4 wird leitend, d.h. der Ausgang liegt auf hohem Potential. T_4 wirkt als Emitterfolger und kann hohe Ströme zur Umladung der nachfolgenden Lastkapazitäten liefern. Wegen der erheblichen

Sättigungseffekte werden TTL-Schaltungen heute in modifizierter Form verwendet, z.B. als *Low-Power-Schottky TTL* (Familienbezeichnung 74LSxx). Dabei wird eine (integrierte) Schottky-Diode parallel zur Kollektor-Basis-Strecke geschaltet. Damit wird durch Gegenkopplung die Kollektor-Emitter-Spannung auf ca. 0,3 V bei leitendem Transistor gehalten, d.h. der Baustein wird nicht so stark in die Sättigung getrieben und benötigt dadurch auch weniger Energie, ein wichtiger Aspekt bei integrierten Schaltungen, wo mit zunehmender Miniaturisierung es immer schwieriger wird, die entstehende Wärmeleistung an die Umgebung abzugeben. Die Eingangsdioden sind meist als echte (Schottky-) Dioden ausgeführt, so dass die DTL hier durch die Hintertür wieder eingeführt wird. Typisch sind Delayzeiten von 10 ns und Verlustleistungen von 2 mW, gegenüber 10mW bei den klassischen TTL-Bausteinen.

baue091.cdr

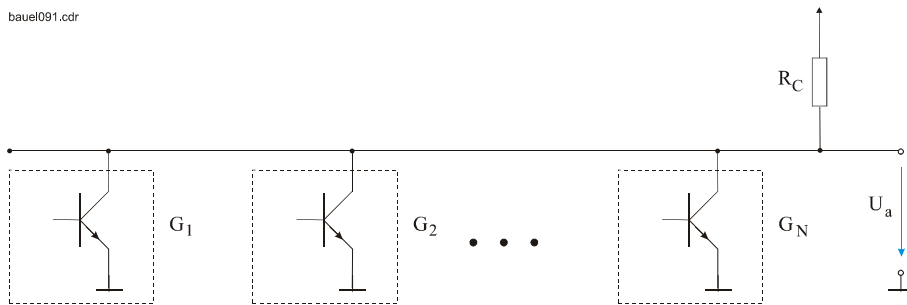


Abbildung 92: Open-Collector-Technik

Massepotential liegt, wie Abb. 92 illustriert. Solche Ausgänge lassen sich im Gegensatz zu Gegendaktausgängen ohne Schwierigkeiten parallel schalten und mit einem gemeinsamen Kollektorwiderstand versehen. Das Ausgangspotential wird nur dann hoch sein, wenn alle Transistoren gesperrt sind, d.h. eine logische Eins repräsentieren. Andererseits geht das Ausgangspotential auf null, sobald auch nur ein Transistor leitend ist, d.h. eine logische Null repräsentiert. Je nach Interpretation kann der erste Fall als UND-Verknüpfung und der zweite als ODER-Verknüpfung angesehen werden. Da diese Verknüpfungen durch die äußere Verdrahtung bewirkt wird, spricht man von *Wired-OR*- oder *Wired-AND*-Verknüpfung. Ein Nachteil darf jedoch nicht verschwiegen werden: Da sich die Schaltkapazitäten über den gemeinsamen Widerstand aufladen müssen, schaltet diese Struktur langsamer als eine Gegendakt-Endstufe nach Abb. 91, deren Emitterfolger T₄ große Ladeströme liefern kann.

Eine weitere Methode zur Vereinfachung der Parallelschaltung von Gatterausgängen stellt die *TRI-State-Technik* dar. Sie wird in Bus-Systemen eingesetzt, bei denen in einem definierten Zeitraum nur ein Gatterausgang den Zustand der Signalleitung bestimmen soll. Der Vorteil liegt in der hohen Schaltgeschwindigkeit, die durch einen (oben schon beschriebenen) Gegendaktausgang erzwungen wird. Durch ein zusätzliches *Enable*-Signal EN kann der Ausgang neben den Zuständen *HIGH* (z.B für logisch

Muss man viele Ausgänge miteinander verknüpfen, so kann man statt eines zusätzlichen Gatters mit N Eingängen auch die *Open-Collector-Technik* anwenden. Dabei sind die Ausgänge der N Gatter Transistoren, deren Emitter auf

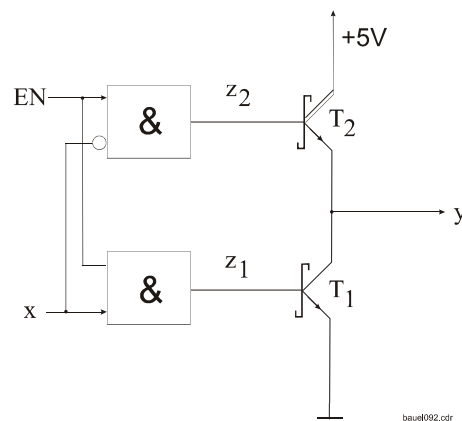


Abbildung 93: Inverter mit TRI-State-Ausgang

eins) oder *LOW* (z.B. für logisch null) einen dritten Zustand *Z* einnehmen, indem er beide Transistoren der des Gegentakt-Ausgangs sperrt. Abb. 93 zeigt das Prinzip. Wenn das Signal $EN=1$ ist, dann arbeitet die Schaltung als normaler Inverter: Für $x=0$ wird $z_1=0$ und $z_2=1$, d.h. T_1 sperrt und T_2 ist leitend. Für $x=1$ wird $z_1=1$ und $z_2=0$, d.h. T_1 ist leitend und T_2 sperrt. Ist jedoch $EN=0$, so werden $z_1=z_2=0$ und beide Ausgangstransistoren sperren. Das ist der dritte hochohmige Zustand *Z*. Die Transistoren sind eigentlich Darlingtontufen mit eingebauten Schottky-Dioden nach Abschnitt 4.2.4.

Die Anzahl der Eingänge von Bausteinen der gleichen Familie, die ein Ausgang sicher ansteuern kann, wird *fan out* genannt und ist ein wichtiges Entwurfsmerkmal für digitale Schaltungen.

Eine weitere wichtige Technologie wird in der Bausteinfamilie der *ECL-Logik* (emitter coupled logic) realisiert. Diese Technik beruht darauf, die "Schalttransistoren" nicht in die Sättigung zu fahren. Dadurch ist diese Bausteinfamilie die schnellste. Durchschnittliche Gatterlaufzeiten liegen bei 2 ns. Allerdings hat sie auch Nachteile. Einmal sind die Signalpegel viel geringer als bei TTL, es gilt $-0,9V < HIGH < -0,7V$ und $-1,9V < LOW < -1,7V$, während bei TTL $2V < HIGH < 2,4V$ bzw. $0,4V < LOW < 0,8V$ gilt. Wegen des Betriebs im nicht gesättigten Bereich ist auch die Verlustleistung viel höher, z.B. 55mW für ein NOR-Gatter, gegenüber einem Low-Power-Schottky-TTL NOR-Gatter mit 2mW immerhin ein Faktor 27,5. Das führt dazu, dass für Supercomputer, die in ECL-Technik gebaut werden, erheblicher Aufwand für die Kühlung der Bausteine (Wasserkühlung ist üblich) getrieben werden muss. Außerdem können die Bausteine nicht so hoch integriert werden, da die entstehende Wärme nicht abgeführt werden kann. Wegen der geringeren Signalpegel muss außerdem besonders sorgfältig abgeschirmt und die Strom-versorgungsleitungen durch Tantalkondensatoren in kürzeren Abständen gesiebt werden. die Schnelligkeit muss also mit stark erhöhtem Aufwand bezahlt werden.

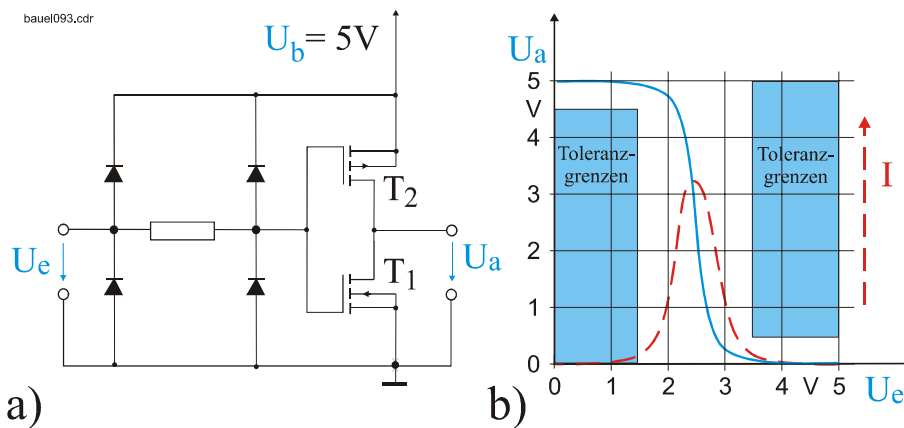


Abbildung 94: CMOS-Inverter: a) Schaltung mit Schutzdioden und -Widerstand, b) Übertragungskennlinie und Stromverlauf

und die Source des p-Kanal-Fets an die Betriebsspannung U_b angeschlossen. Beide Fets arbeiten somit in Source-Schaltung und verstärken die Eingangsspannung U_e invertierend. Dabei ist jeder Fet der Arbeitswiderstand des anderen. Die Schwellenspannung der Fets liegt bei ca. 1,5 V.

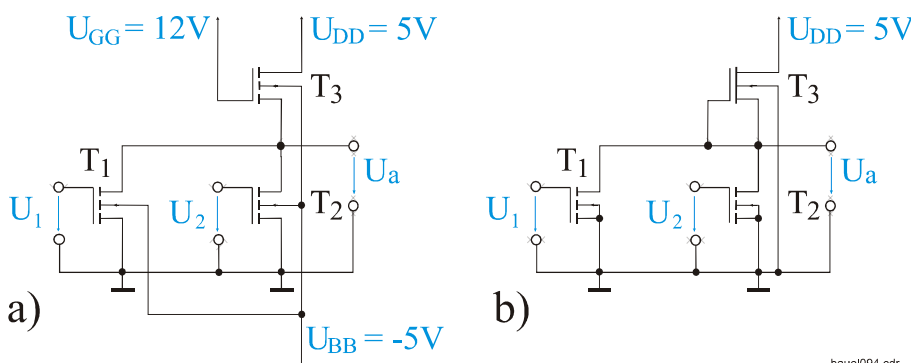
Eine andere Bausteinfamilie sind *CMOS-Bausteine* (complementary metal oxide silicon). Siehe dazu auch Abschnitt 4.1.4. Das hier verwendete Prinzip komplementärer MOS-Fets ist am Beispiel eines Inverters in Abb. 94 skizziert. Es werden ausschließlich selbstsperrende MOS-Fets eingesetzt. Die Source-Elektrode des n-Kanal-Fets ist an Masse

Macht man $U_e=0\text{ V}$, so leitet der p-Kanal-Fet T_2 und der n-Kanal-Fet T_1 sperrt. Die Ausgangsspannung wird $U_a=U_b$. Für $U_e=U_b$ sperrt T_2 und leitet T_1 . Die Ausgangsspannung wird null. In den stationären Punkten fließt kein Strom, beim Umschalten erfolgt jedoch ein kurzzeitiger Stromimpuls durch die Fets, wie in Abb. 94b skizziert. Der zulässige Betriebsspannungsbereich ist für MOS-Fets sehr hoch, daher liegen die Signalpegel über denen der TTL-Bausteinfamilie. Muss man beide Familien verwenden, so sind besondere Vorkehrungen an den Schnittstellen erforderlich, z.B. spezielle Pegelumsetzer. Die Wärmeverluste sind proportional zur Schaltfrequenz und erreichen bei einigen MHz die der TTL-Bausteine. Das Potential offener CMOS-Eingänge ist undefiniert. Sie müssen daher stets auf definiertes Potential, z.B. Masse oder U_b , gelegt werden, wenn sie nicht angesteuert sind. Sonst fließt ein Querstrom, der zu unerwarteten Wärmeverlusten führt.

Gate-Elektroden sind sehr empfindlich gegen Überspannungen, daher sind CMOS-Bausteine an ihren Eingängen mit Schutzdioden versehen. Trotzdem sollten diese Bausteine nur mit Schutzvorkehrungen gegen statische Aufladungen in die Hand genommen werden (geerdete "Handschelle").

Die letzte Bausteinfamilie, die wir noch kurz betrachten wollen, ist die *NMOS-Logik*. Diese wird ausschließlich aus n-Kanal-MOS-Fets aufgebaut. Diese lassen sich besonders gut für hochintegrierte Bausteine, wie z.B. Arbeitsspeicher einsetzen.

In Abb. 95a ist eine NMOS-NOR-Schaltung mit drei Spannungsquellen dargestellt. Statt auf einen gemeinsamen Arbeitswiderstand R_L , wie in Abb. 87, arbeiten aus technologischen Gründen die beiden selbstsperrenden Eingangs-Fets T_1 und T_2 auf einen dritten Fet T_3 , der ebenfalls selbstsperrend ist. Damit dieser leitet, muss eine hohe Gatespannung U_{GG} anliegen. Wenn die Ausgangsspannung im HIGH-Zustand die Drainspannung U_{DD} erreichen soll, dann muss U_{GG} um die Schwellenspannung höher gewählt werden als U_{DD} . Zusätzlich benötigt man häufig eine Substrat-Vorspannung U_{BB} , um die Eingangs-Fets sicher zu sperren und die Sperrschicht-Kapazitäten zu verkleinern. Da T_3 als Sourcefolger für U_{GG} arbeitet, ist sein differentieller Innenwiderstand $r_i=1/S$. Um diesen zu vergrößern, macht man die Steilheit geringer als bei T_1 und T_2 .



Die Hilfsspannung U_{GG} lässt sich einsparen, wenn als Last-Fet T_3 ein selbstleitender Typ eingesetzt wird. Abb. 95b zeigt die Anordnung. Der Fet wirkt dann als Konstant-Stromquelle. Die Eingangs-Fets müssen dabei immer selbstsperrend sein, sonst müsste die Steuerspannung negativ sein, während die Ausgangsspannung positiv wäre. Derartige Bausteine wären nicht direkt miteinander koppelbar.

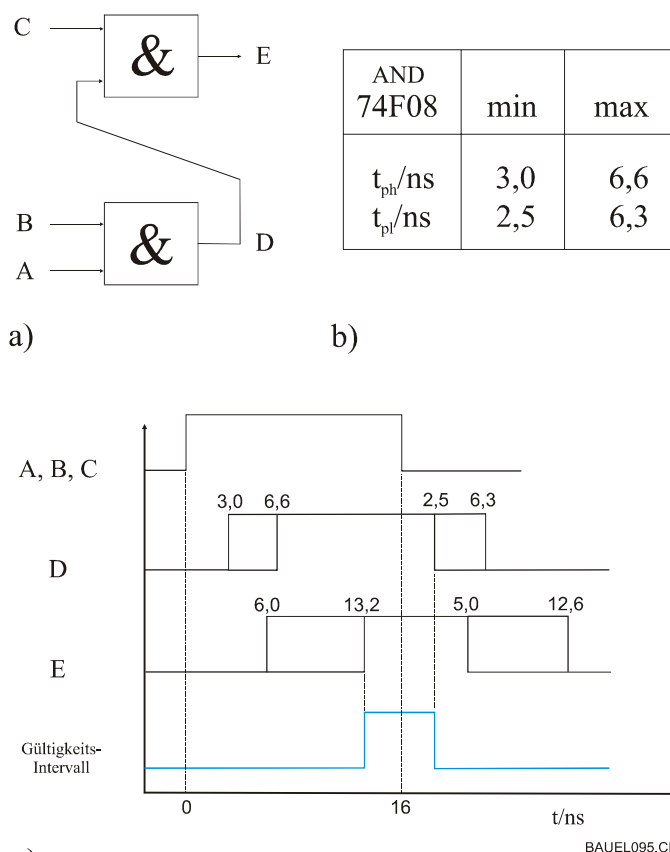
Abbildung 95: NMOS-NOR-Schaltung ; a) mit 3 Spannungsquellen, b) mit einer Spannungsquelle

Die Hilfsspannung U_{GG} lässt sich einsparen, wenn als Last-Fet T_3 ein selbstleitender Typ eingesetzt wird. Abb. 95b zeigt die Anordnung. Der Fet wirkt dann als Konstant-Stromquelle. Die Eingangs-Fets müssen dabei immer selbstsperrend sein, sonst müsste die Steuerspannung negativ sein, während die Ausgangsspannung positiv wäre. Derartige Bausteine wären nicht direkt miteinander koppelbar.

Die Technologie der *Ionenimplantation* erlaubt es, selbstsperrende und selbstleitende Fets auf einem gemeinsamen Substrat zu integrieren. Auf die negative Hilfsspannung kann man durch geeignete Wahl der Schwellenspannungen verzichten oder man integriert einen Spannungswandler mit auf den Chip.

4.3.5 Synchrone und asynchrone Schaltnetze

Bisher haben wir das Zeitverhalten von digitalen Schaltungen nur kurz in Abschnitt 4.3.2 angerissen. Für einen sicheren Entwurf müssen die Zeitschwankungen der Gatterlaufzeiten berücksichtigt werden. Die Hersteller geben neben einer (uninteressanten) "typischen" Schaltzeit minimale und maximale Schaltzeiten t_{pLH} und t_{pHL} für das Umschalten vom Zustand LOW nach HIGH und von HIGH nach LOW an, die im gesamten Betriebsbereich (0 bis +70°C für den kommerziellen Einsatz und -55 bis +125°C für den militärischen) garantiert werden. Mit ihrer Hilfe kann eine Zeitanalyse durchgeführt werden.



In Abb. 96 ist ein einfaches Beispiel angegeben. Unter der Annahme, dass die drei Eingangssignale zeitlich identisch sind, wird das Gültigkeitsintervall der Ausgangssignale der UND-Gatter bereits erheblich eingeschränkt, was sich dann am Ausgangssignal E noch einmal verschärft. Ein weiteres Gatter hinter E kann dann bereits dazu führen, dass es überhaupt kein gültiges Ausgangssignal mehr gibt. Eine Abhilfe wäre dann eine Verlängerung der Eingangssignale und damit eine Verlangsamung der Schaltung. Derartige Schaltungen nennt man *asynchron*, da sie von keinerlei Taktfrequenz gesteuert werden.

c) **Abbildung 96:** Zeitverhalten einer einfachen Gatter-Schaltung

a) Eingangssignal, b) minimale und maximale Schaltzeiten, c) Gültigkeitsintervalle der Signale

Hazards [Wendt] entstehen in asynchronen Netzen durch Signallaufzeiten. Sie beginnen alle bei einer Eingangsleitung und enden bei einer Ausgangsleitung. Diese Form nennt man auch *kombinatorische Hazards*. Abb. 97 zeigt einen Hazard an einem einfachen Beispiel. Infolge der Signallaufzeit des Inverters wird das Ausgangssignal kurzzeitig auf null heruntergezogen. Wenn in

diesem Zeitintervall das Ausgangssignal als "gültig" angesehen wird, so wird ein falscher Wert weiterverarbeitet. Man geht mit derartigen Schaltungen also das Wagnis ein, falsche Ergebnisse zu erhalten. In der Booleschen Gleichung, die diese Schaltung beschreibt, ist das nicht zu erkennen.

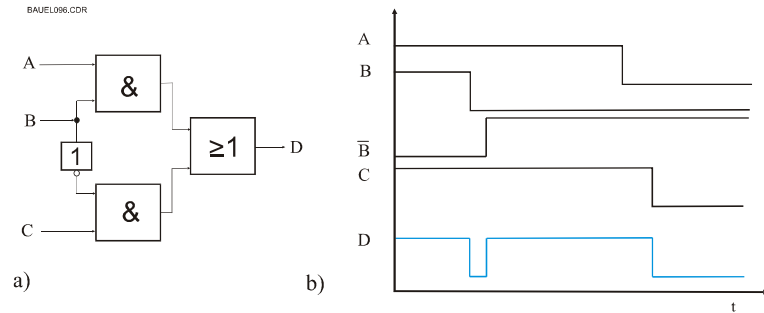


Abbildung 97: Kombinatorischer Hazard infolge der Laufzeit des Inverters

$$D = A \cdot B + \bar{B} \cdot C. \quad (128)$$

$$D = A \cdot B + \bar{B} \cdot C + A \cdot C. \quad (129)$$

In diesem speziellen Fall kann übrigens der Hazard durch einen redundanten Term (d.h. erhöhten Hardwareaufwand) eliminiert werden:

Eine zweite Klasse von Hazards (*essentielle Hazards*) entsteht in rückgekoppelten Automaten. Hier kann durch künstliche Verzögerungen in der Rückkopplung das Wagnis reduziert werden [Unger].

Races verhalten sich ähnlich wie Hazards, sie treten aber in asynchronen rückgekoppelten Systemen, d.h. in asynchronen Automaten auf. Wegen der unterschiedlichen Laufzeiten in den Gattern können kurzzeitig falsche Zwischenzustände auftreten, die u.U. zu falschen Ausgangsvektoren führen können. Sind die falschen Zwischenzustände unschädlich, so spricht man von *non-critical Races*, sonst von *critical Races*. Automaten, bei denen Änderungen im Eingangsvektor jeweils nur 1 Bit im Zustandsvektor ändern, sind racefrei [Wendt].

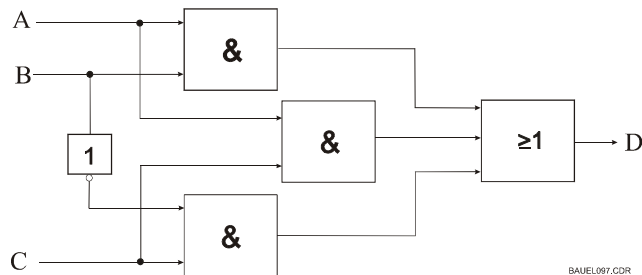


Abbildung 98: Elimination eines Hazard durch Redundanz

Beide Phänomene sind hier als Beispiele dafür angegeben worden, dass größere asynchrone Schaltungen schwierig konstruierbar sind. Man muss sich daher einen anderen Mechanismus überlegen, der sicherstellt, dass keine Zeitfehler auftreten. Dieses leisten *synchrone Schaltungen*.

Synchrone Schaltungen werden von einem externen Takt C (für Clock) gesteuert. Ein einfaches Beispiel zeigt Abb. 99. Während das RS-Flipflop nach Abb. 89b auf die (statischen) Signale R bzw. S reagiert, kann durch Hinzufügen zweier UND-Gatter eine Taktung erzwungen werden. Die Übernahme des Wertes von S bzw. R erfolgt genau dann, wenn das Taktsignal C = 1 ist. Abb. 99b

zeigt das zugehörige Schaltsymbol und Abb. 99d das Zeitverhalten. Allerdings ist diese Schaltung gegen Störungen anfällig, wie Abb. 99e zeigt. Kurzfristige Einbrüche in S bzw. R während $C = 1$ werden in das Ausgangssignal Q übertragen.

Eine Abhilfe schafft hier die sog. *Flankensteuerung*. Das Taktsignal wird differenziert, so dass die Vorder- bzw. Rückflanke des Taktes die Übernahme der Eingangssignale steuert. Abb. 100a zeigt ein einfaches Beispiel mit RC-Gliedern als Differenzierschaltung vor einem RS-Flipflop.

Hier wird die Vorderflanke ausgenutzt. Am Kondensator hinter dem S-Eingang ($S = 1$) erscheint die Vorderflanke als positive Nadel, die Rückflanke als negative Nadel. Da $S = 1$, wird die positive Nadel nicht durch die linke Diode an S kurzgeschlossen, sondern kann über die rechte Diode auf den ursprünglichen Setzeingang S' des RS-Flipflops gelangen.

Umgekehrt ist $R = 0$. Damit wird die positive Nadel am R-Eingang kurzgeschlossen, so dass an dem unteren Kondensator nur eine negative Nadel übrig bleibt, die von der rechten unteren Diode nicht durchgelassen wird. Dadurch bleibt $R' = 0$, so dass das Flipflop in den Zustand $Q = 1$ geht.

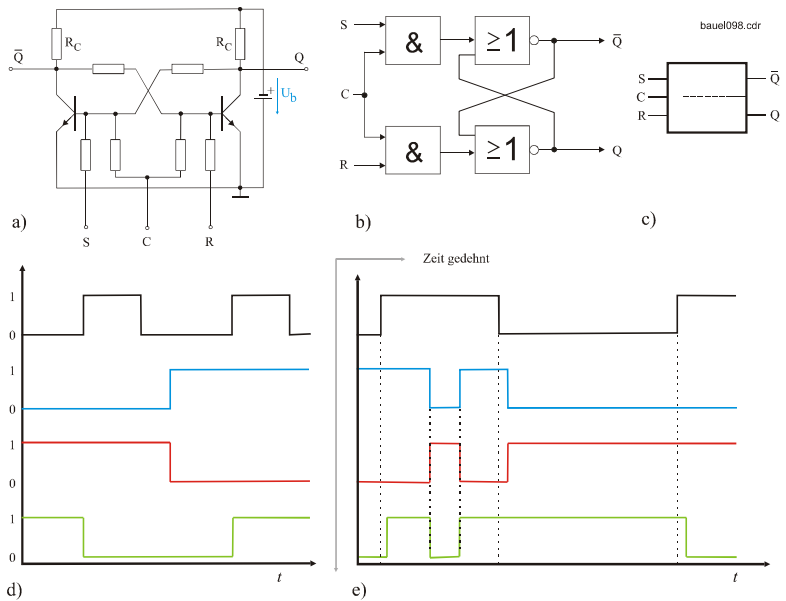


Abbildung 99: RS-Flipflop mit Zustandssteuerung, a) vereinfachtes Schaltbild, b) Realisierung durch Gatter, c) Schaltsymbol, d) Zeitdiagramm, e) Verhalten bei Eingebefehlern

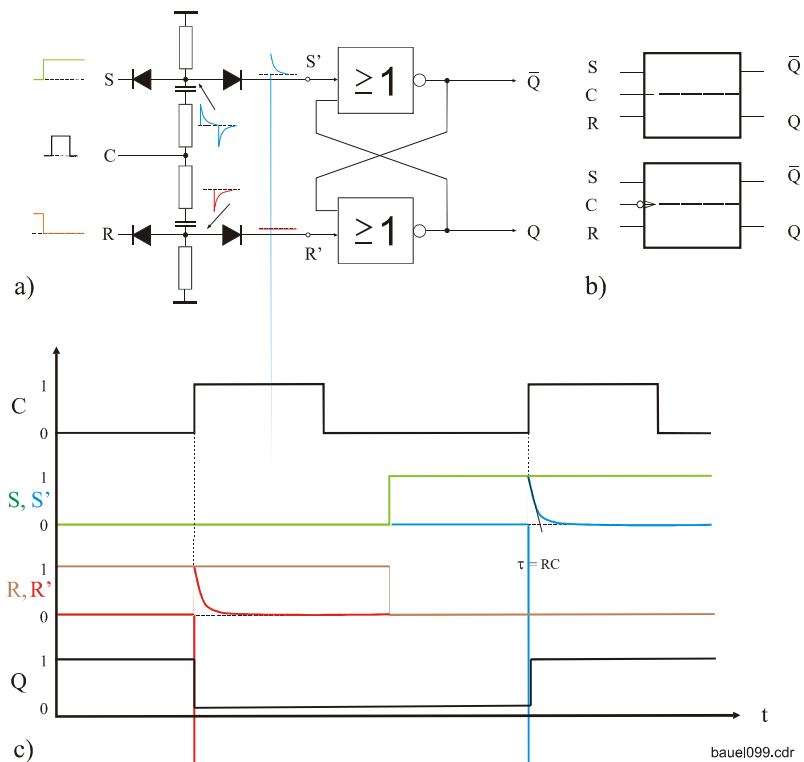


Abbildung 100: Taktflankengesteuertes Flipflop, a) Differenzierschaltung, b) Schaltsymbole für Vorderflanken- und Rückflankensteuerung, c) Zeitverhalten

In Abb. 100b sind die Schaltzeichen für vorderflanken- bzw. rückflankengesteuerte Flipflops angegeben. Abb. 100c zeigt das Zeitverhalten beim Rücksetzen bzw. Setzen.

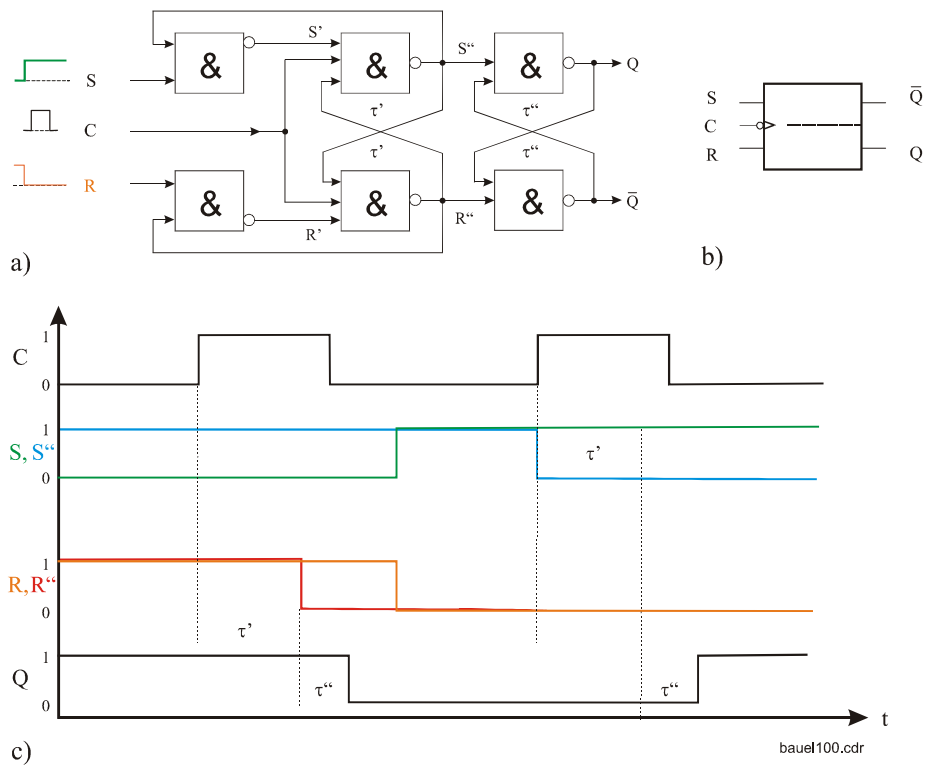


Abbildung 101: Rückflankensteuerung durch AND-Gatter

In der Praxis verwendet man keine RC-Glieder, da diese viel Platz (real estate) auf dem integrierten Baustein einnehmen. Statt dessen setzt man vor die Eingänge S bzw. R je ein NAND-Gatter, welche mit den Ausgängen Q bzw. \bar{Q} rückgekoppelt sind, wie Abb. 101 zeigt. Hierbei wird die Laufzeit τ durch das NAND-Gatter als Verzögerungszeit benutzt. Der Takt muss also mindestens so lang wie τ sein, damit das NAND-Gatter überhaupt durchschaltet. Sobald das Flipflop umgekippt ist, sperrt es das NAND-Gatter wieder. Wir haben hier mit einer Rückflanken-Steuerung zu tun.